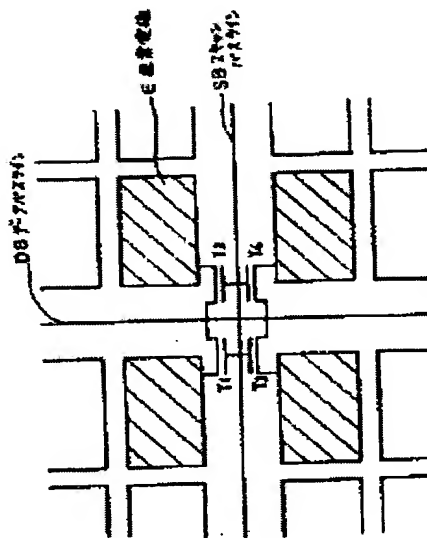


# ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

**Patent number:** JP3189626  
**Publication date:** 1991-08-19  
**Inventor:** HAMADA TETSUYA; OURA MICHIIYA; YAMAGUCHI TADAHISA; TAKAHARA KAZUHIRO  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - International: G02F1/133; G02F1/136; G09G3/36  
 - european:  
**Application number:** JP19890329883 19891219  
**Priority number(s):** JP19890329883 19891219

## Abstract of JP3189626

**PURPOSE:** To accomplish interlaced driving by providing a picture element electrode and a thin film transistor on the intersection part of a scanning bus line and a data bus line which are orthogonally arranged and driving the picture element electrode by the thin film transistor. **CONSTITUTION:** The scanning bus line SB and the data bus line DB are arranged to be orthogonally crossed with each other. Then, plural n-channel transistors T1 and T2, p-channel transistors T3 and T4 whose threshold voltages are different from one another, and the picture element electrode E are provided on the intersection part. As to the respective elements, the elements having the large absolute value of the threshold voltage are arranged in the same line and the elements having the small absolute value of the threshold voltage are arranged in the same line, then the elements having the large absolute value are driven first. At such a time, the voltage is impressed in terms of time division through the same line SB and the transistors T1-T4 drive the picture element E in the same line. Thus, the numerical aperture of a panel is enhanced and the number of lines is reduced, then interlaced driving is facilitated.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

平3-189626

⑤ Int. Cl.<sup>5</sup>G 02 F 1/136  
1/133  
G 09 G 3/36

識別記号

5 0 0  
5 5 0

庁内整理番号

9018-2H  
7709-2H  
8621-5C

④ 公開 平成3年(1991)8月19日

審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 アクティブマトリクス型液晶表示装置とその駆動方法

② 特 願 平1-329883

② 出 願 平1(1989)12月19日

⑦ 発 明 者 濱 田 哲 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑦ 発 明 者 大 浦 道 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑦ 発 明 者 山 口 忠 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑦ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑦ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑦ 代 理 人 弁 理 士 井 桁 貞 一

## 明 細 書

## 1. 発明の名称

アクティブマトリクス型液晶表示装置と  
その駆動方法

## 2. 特許請求の範囲

- (1) 互いに直交配置されたスキャンバスライン (SB) とデータバスライン (DB) との各交差部に、互いに閾値電圧 ( $V_{th}$ ) の異なる複数の n チャネル薄膜トランジスタと、互いに閾値電圧の異なる複数の p チャネル薄膜トランジスタ、及び、各薄膜トランジスタのそれぞれにより駆動される複数の画素電極 (E) とを設けたことを特徴とするアクティブマトリクス型液晶表示装置。
- (2) 同一スキャンバスライン (SB) に接続する画素電極 (E) を、n チャネル薄膜トランジスタにより駆動される画素電極と、p チャネル薄膜トランジスタにより駆動される画素電極とからなる2つの群に区分し、該2つの群に属する画素電極を、それぞれ前記スキャンバスラインに沿ってラ

イン状に配列したことを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

(3) 前記各スキャンバスライン (SB) を走査するに際し、各スキャンバスラインに印加する電圧を、各スキャンバスラインに接続する n チャネルおよび p チャネルの薄膜トランジスタのそれぞれに関して、全トランジスタを導通可能な電圧とした後、導通しているトランジスタのうち閾値電圧が最も高いトランジスタが非導通となる如く時分割的に変化させることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置の駆動方法。

(4) 前記スキャンバスライン (SB) に時分割的に印加する電圧を、連続する2フィールドの一方において正の電圧、他方において負の電圧として、インターレース駆動を行なうことを特徴とする請求項2記載のアクティブマトリクス型液晶表示装置の駆動方法。

## 3. 発明の詳細な説明

## 〔概 要〕

高精細で高画質表示を達成できるアクティブマトリクス型液晶表示装置とその駆動方法に関し、

アクティブマトリクス型液晶表示装置のスキャンバスラインとデータバスラインの双方ともに、ライン数を低減するとともに、インターレース駆動をも可能とすることを目的とし、

互いに直交配置されたスキャンバスラインとデータバスラインとの各交差部に、互いに閾値電圧の異なる複数の $n$ チャネル薄膜トランジスタと、互いに閾値電圧の異なる複数の $p$ チャネル薄膜トランジスタ、及び、各薄膜トランジスタのそれぞれにより駆動される複数の画素電極とを設けた構成とし、また、前記各スキャンバスラインを走査するに際し、各スキャンバスラインに印加する電圧を、各スキャンバスラインに接続する $n$ チャネルおよび $p$ チャネルの薄膜トランジスタのそれぞれに関して、全トランジスタを導通可能な電圧とした後、導通しているトランジスタのうち閾値電

バスライン $SB$ およびデータバスライン $DB$ の幅を、ある値より細くできない。そのため、表示領域中に占める画素電極 $E$ の面積の割合、即ち開口率が低下し、表示が暗くなるという問題がある。

また、バスライン数の増加に伴い、フレキシブル・ケーブルのピッチや、ドライバIC数の増加が問題となる。

## 〔発明が解決しようとする課題〕

このような問題を解消するため、互いに直交配置したスキャンバスライン $SB$ とデータバスライン $DB$ との各交差部に、それぞれ複数個の画素電極 $E$ および各画素電極対応の薄膜トランジスタ $T$ を設け、それら各交点位置に設けた薄膜トランジスタの閾値電圧 $V_{th}$ をそれぞれ異ならしめた構成や、上記各交点位置に配設する複数個の薄膜トランジスタを、 $n$ チャネルと $p$ チャネルの組合せとした構成を、本発明者らは先に提案した。

前者の構成では、スキャンバスラインとデータバスラインのいずれか一方または双方のライン数

圧が最も高いトランジスタが非導通となる如く時分割的に変化させることを特徴とする。

## 〔産業上の利用分野〕

本発明は、高精細で高画質表示を達成できるアクティブマトリクス型液晶表示装置とその駆動方法に関する。

近年、液晶表示パネルはポケットテレビ等での実用化が進んでおり、更に情報端末等の用途を目指して高精細化や高画質化が要求されている。

## 〔従来の技術〕

従来のアクティブマトリクス型液晶表示パネルは、第4図の等価回路に示す如く、スキャンバスライン $SB$ とデータバスライン $DB$ との交差部に、画素電極 $E$ と各画素電極 $E$ 対応に薄膜トランジスタ( $TFT$ ) $T$ とを配置している。

このアクティブマトリクス型液晶表示パネルを情報端末用を目指して高精細化するためには、バスライン抵抗を所定値以下に保つため、スキャン

バスライン $SB$ およびデータバスライン $DB$ の幅を、ある値より細くできない。そのため、表示領域中に占める画素電極 $E$ の面積の割合、即ち開口率が低下し、表示が暗くなるという問題がある。

また、バスライン数の増加に伴い、フレキシブル・ケーブルのピッチや、ドライバIC数の増加が問題となる。

液晶表示装置が大型化かつ高精細化する趨勢下にあつては、スキャンバスライン数もデータバスライン数も共に増大し、双方ともにライン数を低減することが強く要請されるとともに、インターレース駆動も不可欠となる。

## 〔課題を解決するための手段〕

本発明のアクティブマトリクス型液晶表示装置は、上記問題点を解決するため、互いに直交配置されたスキャンバスラインとデータバスラインとの各交差部に、互いに閾値電圧の異なる $n$ チャネ

ル薄膜トランジスタと、互いに閾値電圧の異なるpチャネル薄膜トランジスタ、及び、各薄膜トランジスタのそれぞれにより駆動される画素電極とを設けた構成とする。

またその駆動方法は、前記各スキャンバスラインを走査するに際し、各スキャンバスラインに印加する電圧を、各スキャンバスラインに接続するnチャネルおよびpチャネルの薄膜トランジスタのそれぞれに関して、全素子を導通可能な電圧とした後、導通している素子のうち閾値電圧が最も高い素子が非導通となる如く時分割的に変化させる。

第1図(a)は本発明に係るアクティブマトリクス型液晶表示装置の構成例を示す図であって、スキャンバスラインSBとデータバスラインDBとの各交差部に、閾値電圧 $V_{th}$ の異なる2個のnチャネル薄膜トランジスタと、2個のpチャネル薄膜トランジスタを設けた例である。

上記4個の薄膜トランジスタ $T_1 \sim T_4$ の閾値電圧特性を、第1図(b)に $V_{th1} \sim V_{th4}$ で示す如

く選べば、第1図(a)の構成は、スキャンバスラインSBを挟んで、上側にnチャネル素子、下側にpチャネル素子を、スキャンバスラインSBに沿って配列した例となる。

上記構成とした場合、スキャンバスラインSBに印加する走査電圧の極性により、nチャネル素子 $T_1, T_2$ 、またはpチャネル素子 $T_3, T_4$ のいずれか一方のみが選択対象となり、他方は電圧の値に無関係に非選択状態を保つ。

また、選択対象となった素子群 $T_1, T_2$ （または $T_3, T_4$ ）のうち、閾値電圧 $V_{th1}, V_{th2}$ （または $V_{th3}, V_{th4}$ ）の絶対値が、印加された走査電圧 $V_1, V_2$ （または $V_3, V_4$ ）の絶対値より高いものは非選択すなわちオフとなり、低いものは選択されてオンとなる。

従って、各スキャンバスラインの選択時に、各スキャンバスラインに印加する走査電圧の極性を正または負に選び、その極性で駆動対象となる極性の薄膜トランジスタを、最初は全部オンとし、次に、このオンとなった薄膜トランジスタのうち、

閾値の絶対値が最高のもの以外がオンとなる電圧を印加し、以後これを順次繰り返して、当該スキャンバスライン選択時に、そのスキャンバスラインに接続する薄膜トランジスタのうち、当該極性の駆動対象素子のすべてを駆動する。この操作を印加電圧の極性を変えて繰り返す。

なお、一つのラインを駆動するに際し、同一極性の素子は1フィールド内で駆動を完了する必要があるが、極性の異なる素子は、連続する2つのフィールドに分けて駆動してもよく、これを利用すれば、インターレース駆動を行なうことができる。

同一ライン上の2つの極性の素子を、すべて1フィールド内で駆動する場合には、電圧の極性は任意の順に選択できる。即ち、正または負の電圧を連続して印加してもよく、正負の電圧を交互に印加してもよく、その順序は限定されない。ただし、同一極性の電圧間では、前述した順に電圧値を選択することを要する。

#### (作用)

上記構成とすれば、同一バスラインを介して時分割的に電圧を印加することにより、4個以上の複数画素を駆動できる。

従って、上記複数個(n個)の画素をi行×j列(但し、 $i \times j = n$ )に配置すれば、1本のスキャンバスラインでi行の画素を駆動でき、また1本のデータバスラインでj列の画素を駆動できるので、スキャンバスライン数は $1/i$ に、データバスライン数は $1/j$ に低減できる。

更に、上記構成で、隣接する2つの画素電極ラインの一方にはnチャネル素子のみを配置し、他方にはpチャネル素子のみを配置することにより、インターレース駆動が可能となる。

アクティブマトリクス型液晶表示パネルを上述の構成とすることにより、スキャンバスライン及びデータバスラインの数を低減でき、従って、開口率を向上させ、ドライバICの数を減少することができる。

## 〔実施例〕

以下本発明の実施例を、第2図を参照しながら説明する。

以下本発明を、スキャンバスラインSBとデータバスラインDBとの各交差部に、それぞれ4個の画素を配置した実施例により説明する。

同図(a)に示す一実施例は、スキャンバスラインSBとデータバスラインDBとの各交差部に、画素電極 $E_1 \sim E_4$ と、これらを駆動する薄膜トランジスタ $T_1 \sim T_4$ が配設した例である。

上記4個の薄膜トランジスタとしては、その電流-電圧特性が、同図(b)に電圧-電流特性を①及び②で示す2個のnチャネル素子と、③及び④で示す2個のpチャネル素子を用いる。

今、①～④の電圧特性を有する薄膜トランジスタを、それぞれ $T_1 \sim T_4$ で示し、その配置場所と駆動方法を順に説明する。

同図(c)は上記 $T_1 \sim T_4$ の位置に、それぞれ $T_1 \sim T_4$ を配置した例を示す。各バスラインの交差部に配置された4個の薄膜トランジスタ $T_1 \sim$

つので、表示データは一切書き込まれない。

次に、負の電圧を印加してpチャネル素子 $T_3$ と $T_4$ を駆動するのであるが、まず閾値電圧の絶対値が大きい方の素子 $T_3$ の閾値電圧 $V_{th3}$ よりも絶対値が大きい負の電圧 $V_1$ を印加する。これにより、pチャネル素子 $T_3$ と $T_4$ は、双方ともオンとなり、表示データが画素電極 $E_1, E_2$ に書き込まれる。ここで画素電極 $E_1$ に書き込まれた表示データは正しくない。

次いで、絶対値が $T_3$ の閾値電圧 $V_{th3}$ より小さく、 $T_4$ の閾値電圧 $V_{th4}$ より大きい負の電圧 $V_2$ を印加し、 $T_4$ をオンにする。この時、 $T_3$ はオフとなる。これにより、画素電極 $E_2$ に正しい表示データが書き込まれる。上記正しくない表示データが表示されるのは、これまた一瞬のことであって、視覚的には全く認識されない。

この負の電圧を印加した時には、2個のnチャネル素子 $T_1, T_2$ はオフ状態を保ち、表示内容に変化はない。

以上の動作を順次各スキャンバスラインで行な

$T_4$ は、同一スキャンバスライン、同一データバスラインにより駆動される。その駆動方法を同図(d)により説明する。

当該4個の薄膜トランジスタが接続するスキャンバスラインSBを走査するに際し、まずnチャネル素子 $T_1, T_2$ のうち、閾値電圧の高い方の素子 $T_1$ の閾値電圧 $V_{th1}$ より高い正の電圧 $V_1$ を印加する。この電圧を印加した時には、nチャネル素子 $T_1, T_2$ の双方ともオンとなり、データバスラインDBから印加された表示データが、画素電極 $E_1, E_2$ に書き込まれる。 $E_2$ に書き込まれた表示データは、本来 $E_1$ に書き込むデータであって、 $E_2$ には不要であるが、次のタイミングで正しいデータが書き込まれ、視覚的には認識できず、問題にはならない。

次いで、 $V_{th1}$ より低く、 $V_{th2}$ より高い正の電圧 $V_2$ を印加する。この電圧を印加した時には、 $T_1$ は導通せず、 $T_2$ のみがオンとなり、画素電極 $E_2$ に正しいデータが書き込まれ、表示される。

この間、2個のpチャネル素子はオフ状態を保

うことにより、パネル全画面にデータ電圧を書き込むことができる。

4個の薄膜トランジスタ $T_1 \sim T_4$ は、第2図(e)あるいは(f)に示すように配置してもよい。

(e)は $T_1 \sim T_4$ の位置に、 $T_1, T_3, T_2, T_4$ を配置した例である。これの駆動には、当該4個の薄膜トランジスタが接続するスキャンバスラインSBに印加する走査電圧を、同図(f)に示すように、 $V_1, V_3, V_2, V_4$ と変化することにより行なうことができる。

この配置例は、nチャネル素子とpチャネル素子の閾値電圧の絶対値の大きいもの同士、小さいもの同士を同一行に配置した例であって、閾値電圧の絶対値の高いものを並べた行を先に駆動し、その直後に閾値電圧の絶対値の小さいものを配置した行を駆動する。

また、同図(g)は先に説明した(e)のnチャネル素子とpチャネル素子を反対にした例である。この場合には、同図(h)に示すように、まず負の電圧を印加してpチャネル素子 $T_3$ と $T_4$ を駆動し、次

いで正の電圧を印加して、 $n$ チャネル素子 $T①$ 、 $T②$ の順に走査する。

なお、上記一実施例では、走査は上から下に向かって行なうものとして説明した。

以上述べた3つは、いずれもノン・インターレース走査を行なう例であり、次に第3図(a)~(d)により、インターレース走査を行なう例を説明する。

この場合には、 $n$ チャネル素子同士、 $p$ チャネル素子同士を、同一行に配置することが必要である。

同図(a)は、 $p$ チャネル素子 $T③$ と $T④$ を前位の行に、 $n$ チャネル素子 $T①$ と $T②$ を後位の行に配置した例である。

これを駆動するには、同図(a)に示すように、前位の画素行を駆動するため、まず、当該スキャンバスラインを走査する際に、負の電圧 $V_s$ 、 $V_d$ を時分割的に印加する。これにより、 $p$ チャネル素子 $T③$ 、 $T④$ を介して、画素電極 $E_1$ 、 $E_2$ に表示データを書込む。

次いで、次のフィールドで今度は正の電圧 $V_1$ 、

$V_2$ を時分割的に印加し、 $n$ チャネル素子 $T①$ 、 $T②$ を介して、画素電極 $E_1$ 、 $E_2$ に表示データを書き込む。

このように、1フレームを2つのフィールドに分割し、一方のフィールドで $p$ チャネル素子を、他方のフィールドで $n$ チャネル素子を駆動することにより、インターレース走査が可能となる。

インターレース走査を行なうには、同図(c)に示すように、上記(a)とは $n$ チャネル素子と $p$ チャネル素子を反対に配置してもよい。この場合には、走査に際して印加する電圧を、(d)に示す如く、前位のフィールドで正の電圧を印加し、後位のフィールドで負の電圧を印加する。

以上述べた如く本発明では、同一チャネル素子を閾値の絶対値の大きい方から順次駆動する、そのためには、印加する電圧を、その印加前にオンとなっている素子のうち、閾値電圧の最大のもののみがオフとなり、他はオンとなる電圧に選ぶ。

そして、各バスラインの交差部に接続する薄膜トランジスタのすべてが、1フレーム内に各1回

選択されればよく、2つのチャネルの駆動順序は特に限定する必要はない。

但し、インターレース駆動の場合には、1つのフレームを構成する2つのフィールドの一方で一方のチャネルの素子を駆動し、他方で今一つのチャネルの素子を駆動する。この場合には、2つのチャネルの素子を、それぞれ別個の画素行に配置することが必要である。

上記いずれの構成としても、スキャンバスライン $S_B$ およびデータバスライン $D_B$ の双方ともに配設数を低減することができ、開口率が向上するばかりでなく、ドライバICの数もそれに応じて低減する。

#### (発明の効果)

以上説明した如く本発明によれば、アクティブマトリクス型液晶表示パネルの開口率が向上し、ドライバICの数を減らすことができる。また、インターレース駆動も容易である。

#### 4. 図面の簡単な説明

第1図は本発明の構成説明図、

第2図は本発明一実施例説明図、

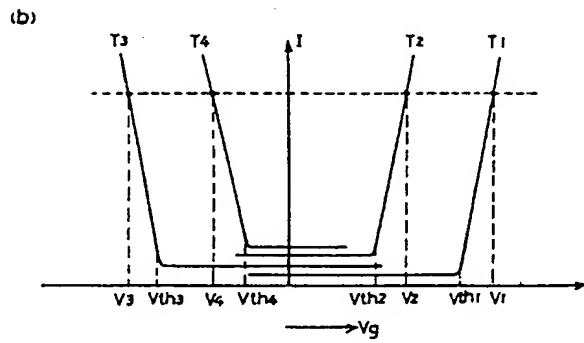
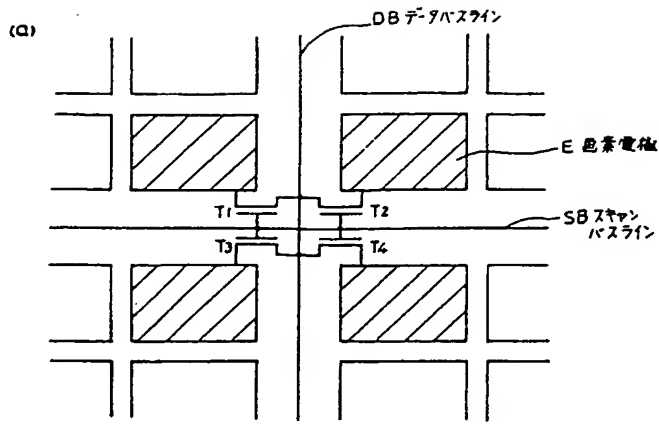
第3図は本発明他の実施例説明図、

第4図は従来の問題点説明図である。

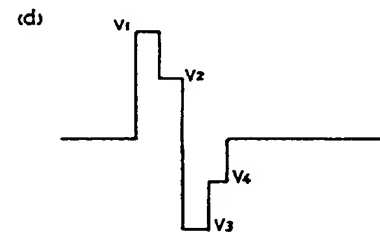
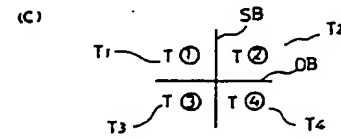
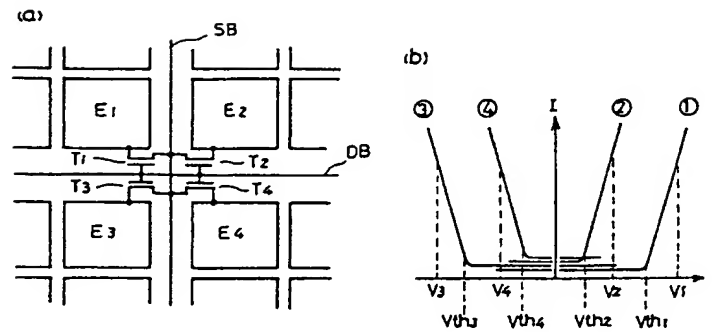
図において、 $T_1$ 、 $T_2$ 、 $\sim$ 、 $T_n$ は薄膜トランジスタ、 $S_B$ はスキャンバスライン、 $D_B$ はデータバスライン、 $E_1$ 、 $E_2$ 、 $\sim$ 、 $E_n$ は画素電極、①~④は電流-電圧特性の区分、 $T①$ ~ $T④$ は①~④の特性を持つ薄膜トランジスタ、 $V_1$ 、 $\sim$ 、 $V_n$ は印加電圧、 $V_{th1}$ 、 $V_{th2}$ 、 $\sim$ 、 $V_{thn}$ は閾値電圧を示す。

代理人 弁理士 井 術 貞 一

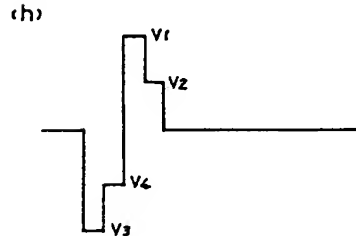
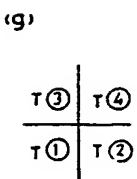
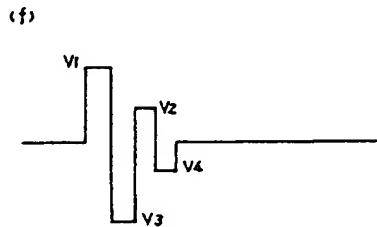
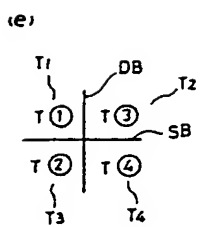




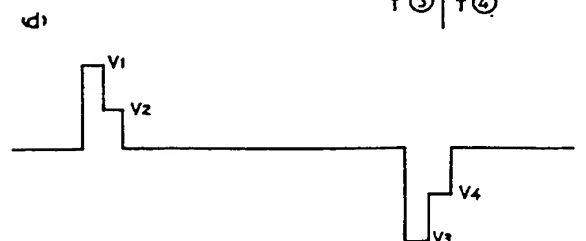
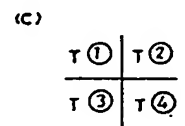
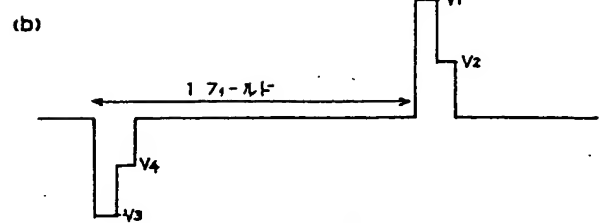
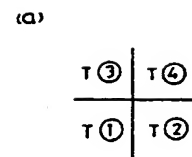
本発明の構成説明図  
第 1 図



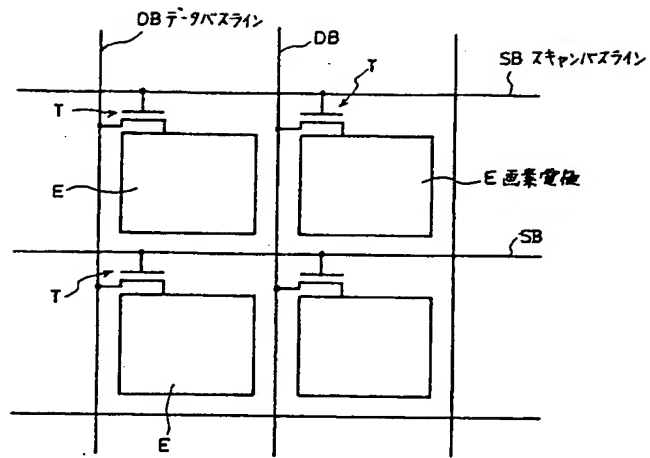
本発明-実施例説明図  
第 2 図 (その 1)



本発明-実施例説明図  
第 2 図 (その 2)



本発明他の実施例説明図  
第 3 図



従来の問題点説明図  
第 4 図